

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a semiconductor device. It is related with the manufacture approach of a semiconductor device that the lead of a super-fine pitch is processible into accuracy in detail.

[0002] Although the device whose pitches of an outer lead are 0.3 thru/or 0.4mm is being recently produced commercially with thin-shape-izing of a semiconductor device, a miniaturization, and an finization, since a-one lead is very thin, it is difficult to produce deformation during a bending fabricating operation and to perform exact lead processing. Therefore, it has been an important technical problem to find out this solution immediately.

[0003]

[Description of the Prior Art] Drawing 3 and drawing 4 explain the manufacture approach of the semiconductor device of the QFP mold of the conventional fine pitch. Drawing 3 is the leadframe 1 to be used, 2 is the die stage section, 3 is a lead, 3a is the inner lead section and 3b is the outer lead section.

[0004] First, like drawing 4 (a), the manufacture approach carries out die bonding of the semiconductor chip 4 to the die stage section 2 of a leadframe 1, and carries out wirebonding of between inner lead 3a to the electrode of this semiconductor chip 4 with a wire 5. Next, as shown in (b) drawing, the mould of a semiconductor chip 4, the die stage section 2, and the inner lead 3a is carried out by resin 6. Subsequently, as shown in (c) drawing, outer lead 3b is separated from the periphery section of a leadframe 1, and using shaping metal mold, bending is performed to the configuration like drawing and it completes in it.

[0005]

[Problem(s) to be Solved by the Invention] By the manufacture approach of the above-mentioned conventional semiconductor device, in a device [be / lead 11 / it / thin], lead deformation, torsion, etc. occur for minute stress etc. at the time of bending of an outer lead, exact lead processing cannot be performed, but a defective is generated, and the yield falls. Moreover, there is a problem that the poor contact of a lead arises, also at the time of a trial and mounting.

[0006] This invention tends to realize the manufacture approach of a semiconductor device that exact bending can also do the outer lead of a fine pitch.

[0007]

[Means for Solving the Problem] The process which exposes, develops and etches only the

internal pattern which applies a resist to the metal plate 10 of a leadframe raw material, and forms the die stage 11 and an inner lead 12 in the manufacture approach of the semiconductor device of this invention, The process which applies a resist to the outer lead formation schedule section 13, and exposes and develops the outer lead pattern 15 after exfoliating said resist, The process which carries a semiconductor chip 16 in the die stage 11, and carries out wirebonding of between inner leads 12 to the electrode with a wire 17, The process which carries out the mould of said semiconductor chip 16, the die stage 11, and the inner lead 12, and closes them by resin 18, It is characterized by consisting of a process which carries out bending shaping of the outer lead formation schedule section 13 at a predetermined configuration, and a process which etches this outer lead formation schedule section 13, and forms an outer lead 19.

[0008] Moreover, it sets to the manufacture approach of the semiconductor device of this invention. The process which exposes, develops and etches only the internal pattern which applies a resist to the metal plate 10 of a leadframe raw material, and forms the die stage 11 and an inner lead 12, The process which exfoliates said resist, and the process which carries a semiconductor chip 16 in the die stage 11, and carries out wirebonding of between inner leads 12 to the electrode with a wire 17, The process which carries out the mould of said semiconductor chip 16, the die stage 11, and the inner lead 12, and closes them by resin 18, The process which applies a resist to the outer lead formation schedule section 13, and exposes and develops the outer lead pattern 15, It is characterized by consisting of the process which carries out bending shaping of the outer lead formation schedule section 13 at a predetermined configuration, and the process which etches this outer lead formation schedule section 13, and forms an outer lead 19. By taking this configuration, the manufacture approach of the semiconductor device which can perform exact bending of an outer lead is acquired.

[0009]

[Function] In this invention, since bending shaping is carried out in the condition of having been unified before processing of an outer lead is patternized [every] using the leadframe in which only the die stage and the inner lead were formed, the effect of stress etc. can be prevented. Since patternizing of the outer lead after bending shaping performs [a chemical treatment], generating of stress is not.

[0010]

[Example] Drawing 1 is drawing for explaining the 1st example of this invention. As first shown in drawing 1 (a), the manufacture approach of the semiconductor device of this example applies a resist to the metal plate 10 of a leadframe raw material, and only an internal pattern is exposed, developed and etched and it forms the die stage 11 and an inner lead 12 for it. The KO character-like aperture 14 is simultaneously formed in the outside of the outer lead formation schedule section 13.

[0011] Next, after exfoliating and removing a resist, a resist is again applied to the outer lead formation schedule section 13, and the outer lead pattern 15 is exposed and developed. Subsequently, as shown in this drawing (b), a semiconductor chip 16 is carried in the die stage 11, and wirebonding of between the electrode and inner lead 12 is carried out with a wire 17. Subsequently, as shown in this drawing (c), by resin 18, the mould of this semiconductor chip 16, the die stage 11, and the inner lead 12 is carried out, and they are closed.

[0012] Subsequently, a resin seal part and the outer lead formation schedule section 13 are

separated from the metal plate 10 of a leadframe raw material, and as shown in this drawing (d), bending shaping of the outer lead formation schedule section 13 is carried out at a predetermined configuration. Finally the outer lead formation schedule section 13 is etched, and dissolution clearance of the parts other than an outer lead resist pattern is carried out, and as shown in this drawing (d), the outer lead 19 of a predetermined configuration is formed, and Sn plating etc. is performed and it completes.

[0013] According to the above this example, 1 lead of one does not transform bending shaping of an outer lead 19 in order to perform the lead of two or more as one. Moreover, since every dissociating carries out dissolution clearance of the unnecessary section by etching, it is not generated, therefore stress does not have deformation, either. Thereby, exact bending of an outer lead can be performed.

[0014] Drawing 2 is drawing for explaining the 2nd example of this invention. As first shown in drawing 2 (a), this example applies a resist to the metal plate 10 of a leadframe raw material, and only an internal pattern is exposed, developed and etched and it forms the die stage 11 and an inner lead 12 for it. The KO character-like aperture 14 is simultaneously formed in the outside of the outer lead formation schedule section 13.

[0015] Subsequently, as shown in this drawing (b), after exfoliating and removing a resist, a semiconductor chip 16 is carried in the die stage 11, and wirebonding of between inner leads 12 is carried out to the electrode with a wire 17. Subsequently, as shown in this drawing (c), by resin 18, the mould of this semiconductor chip 16, the die stage 11, and the inner lead 12 is carried out, and they are closed. A resist is applied to the outer lead formation schedule section 13 after that, and the outer lead pattern 15 is exposed and developed.

[0016] Subsequently, as shown in this drawing (d), a resin seal part and the outer lead formation schedule section 13 are separated from the metal plate 10 of a leadframe raw material, and bending shaping of the outer lead formation schedule section 13 is carried out at a predetermined configuration. It etches at the end and dissolution clearance of the parts other than an outer lead resist pattern is carried out, and as shown in this drawing (e), the outer lead 19 of a predetermined configuration is formed, and Sn plating etc. is performed and it completes.

[0017] According to the above this example, since the bending forming cycle of an outer lead 19 is completely the same as that of a before example, the same is said of the effectiveness.

[0018]

[Effect of the Invention] Before processing of an outer lead is patternized [every] using the leadframe by which only the die stage and the inner lead were fabricated when depending on this invention, since the effect of stress etc. is prevented in order to carry out bending shaping in the condition of having been unified, and patternizing of the outer lead after bending shaping performs [a chemical treatment], generating of stress is not, therefore generating of deformation, torsion, etc. is prevented and its yield improves. Moreover, the poor contact of a lead etc. is prevented in a trial, mounting, etc.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which exposes, develops and etches only the internal pattern which applies a resist to the metal plate (10) of a leadframe raw material, and forms a die stage (11) and an inner lead (12), The process which applies a resist to the outer lead formation schedule section (13), and exposes and develops an outer lead pattern (15) after exfoliating said resist, The process which carries a semiconductor chip (16) in a die stage (11), and carries out wirebonding of between inner leads (12) to the electrode with a wire (17), The process which carries out the mould of said semiconductor chip (16), a die stage (11), and the inner lead (12), and closes them by resin (18), The manufacture approach of the semiconductor device characterized by consisting of a process which carries out bending shaping of the outer lead formation schedule section (13) at a predetermined configuration, and a process which etches this outer lead formation schedule section (13), and forms an outer lead (19).

[Claim 2] The process which exposes, develops and etches only the internal pattern which applies a resist to the metal plate (10) of a leadframe raw material, and forms a die stage (11) and an inner lead (12), The process which exfoliates said resist, and the process which carries a semiconductor chip (16) in a die stage (11), and carries out wirebonding of between inner leads (12) to the electrode with a wire (17), The process which carries out the mould of said semiconductor chip (16), a die stage (11), and the inner lead (12), and closes them by resin (18), The process which applies a resist to the outer lead formation schedule section (13), and exposes and develops an outer lead pattern (15), The manufacture approach of the semiconductor device characterized by consisting of the process which carries out bending shaping of the outer lead formation schedule section (13) at a predetermined configuration, and the process which etches this outer lead formation schedule section (13), and forms an outer lead (19).

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.****. shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the 1st example of this invention.

[Drawing 2] It is drawing for explaining the 2nd example of this invention.

[Drawing 3] It is drawing showing the conventional leadframe.

[Drawing 4] It is drawing for explaining the manufacture approach of the conventional semiconductor device.

[Description of Notations]

- 10 -- Metal plate
- 11 -- Die stage
- 12 -- Inner lead
- 13 -- Outer lead formation schedule section
- 14 -- Aperture
- 15 -- Outer lead pattern
- 16 -- Semiconductor chip
- 17 -- Wire
- 18 -- Resin
- 19 -- Outer lead

[Translation done.]

PAT-NO: JP405067715A

DOCUMENT-IDENTIFIER: JP 05067715 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 19, 1993

INVENTOR-INFORMATION:

NAME

ASANO, YUICHI

KOBAYASHI, KENJI

TAKAHASHI, FUMIHITO

KOBAYASHI, HITOSHI

OKUYAMA, SHIGENORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

KK FUJITSU MIYAGI ELECTRON

N/A

APPL-NO: JP03229046

APPL-DATE: September 9, 1991

INT-CL (IPC): H01L023/50, H01L021/56

US-CL-CURRENT: 257/666

ABSTRACT:

PURPOSE: To realize the manufacture of a semiconductor device enabling accurate bending even in outer leads at fine pitches.

CONSTITUTION: The manufacture of a semiconductor device is composed of a process, in which a metal plate 10 as a lead frame blank is coated with a resist and only internal patterns forming a die stage 11 and inner leads 12 are exposed, developed and etched, a process, in which the resist is peeled, outer-lead formation predetermined sections 13 are coated with the resist and outer lead patterns 15 are exposed and developed, a process, in which a semiconductor chip 16 is loaded on the die stage 11 and the electrodes of the chip 16 and the inner leads 12 are wire-bonded by wires 17, a process, in which the semiconductor chip 16, the die stage 11 and the inner leads 12 are molded and sealed with a resin 18, a process, in which the outer-lead formation predetermined sections 13 are etched and outer leads 19 are formed.

COPYRIGHT: (C)1993,JPO&Japio

DERWENT-ACC-NO: 1993-129964

DERWENT-WEEK: 199316

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Mfg. semiconductor IC having fine pitch leads - has
moulding of IC on die stage and wiring inner leads
together with outer leads supported by resin film and
dissolving supporting film NoAbstract

PATENT-ASSIGNEE: FUJITSU MIYAGI ELECTRONICS LTD[FUIT]

PRIORITY-DATA: 1991JP-0229046 (September 9, 1991)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP <u>05067715</u> A	March 19, 1993	N/A	005
H01L 023/50			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 05067715A	N/A	1991JP-0229046	September 9, 1991

INT-CL (IPC): H01L021/56, H01L023/50

ABSTRACTED-PUB-NO: JP 05067715A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: MANUFACTURE SEMICONDUCTOR IC FINE PITCH LEAD
MOULD IC DIE STAGE

WIRE INNER LEAD OUTER LEAD SUPPORT RESIN FILM
DISSOLVE SUPPORT FILM
NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D01A1; U11-D01A3; U11-D03A1A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1993-099137

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-67715

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50	A	9272-4M		
21/56	H	8617-4M		
23/50	B	9272-4M		

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平3-229046

(22)出願日 平成3年(1991)9月9日

(71)出願人 391003705

株式会社富士通宮城エレクトロニクス
宮城県柴田郡村田町大字村田字西ケ丘1番
地の1

(72)発明者 浅野 祐一

宮城県柴田郡村田町大字村田字西ケ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内

(72)発明者 小林 賢司

宮城県柴田郡村田町大字村田字西ケ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内

(74)代理人 弁理士 青木 朗 (外4名)

最終頁に続く

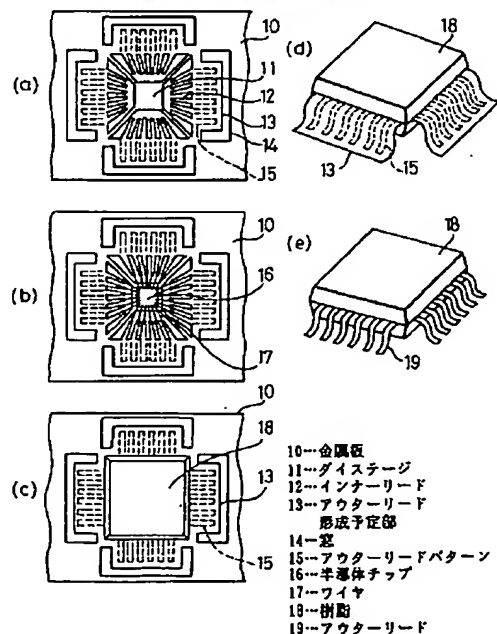
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は半導体装置の製造方法に関し、ファインピッチの OUTERリードでも正確な曲げ加工ができる半導体装置の製造方法を実現することを目的とする。

【構成】 リードフレーム素材の金属板10にレジストを塗布し、ダイステージ11及びINNERリード12を形成する内部パターンのみ露光・現像・エッチングする工程と、前記レジストを剥離した後、OUTERリード形成予定部13にレジストを塗布し、OUTERリードパターン15を露光・現像する工程と、ダイステージ11に半導体チップ16を搭載し、その電極とINNERリード12間をワイヤ17でワイヤボンディングする工程と、前記半導体チップ16、ダイステージ11、INNERリード12を樹脂18にてモールドして封止する工程と、OUTERリード形成予定部13を折曲成形する工程と、該OUTERリード形成予定部13をエッチングしてOUTERリード19を形成する工程とよりなるように構成する。

本発明の第1の実施例を説明するための図



1

2

【特許請求の範囲】

【請求項1】 リードフレーム素材の金属板(10)にレジストを塗布し、ダイステージ(11)及びインナーリード(12)を形成する内部パターンのみ露光・現像・エッチングする工程と、

前記レジストを剥離した後、アウターリード形成予定部(13)にレジストを塗布し、アウターリードパターン(15)を露光・現像する工程と、

ダイステージ(11)に半導体チップ(16)を搭載し、その電極とインナーリード(12)間をワイヤ(17)でワイヤボンディングする工程と、

前記半導体チップ(16)、ダイステージ(11)、インナーリード(12)を樹脂(18)にてモールドして封止する工程と、

アウターリード形成予定部(13)を所定の形状に折曲成形する工程と、

該アウターリード形成予定部(13)をエッチングしてアウターリード(19)を形成する工程とよりなることを特徴とする半導体装置の製造方法。

【請求項2】 リードフレーム素材の金属板(10)にレジストを塗布し、ダイステージ(11)及びインナーリード(12)を形成する内部パターンのみ露光・現像・エッチングする工程と、

前記レジストを剥離する工程と、

ダイステージ(11)に半導体チップ(16)を搭載し、その電極とインナーリード(12)間をワイヤ(17)でワイヤボンディングする工程と、

前記半導体チップ(16)、ダイステージ(11)、インナーリード(12)を樹脂(18)にてモールドして封止する工程と、

アウターリード形成予定部(13)にレジストを塗布し、アウターリードパターン(15)を露光・現像する工程と、

アウターリード形成予定部(13)を所定の形状に折曲成形する工程と、

該アウターリード形成予定部(13)をエッチングしてアウターリード(19)を形成する工程とよりなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関する。詳しくは超ファインピッチのリードを正確に加工することができる半導体装置の製造方法に関する。

【0002】近時、半導体装置の薄型化、小型化、ファイン化に伴い、アウターリードのピッチが0.3乃至0.4mmのデバイスが製品化されつつあるが、リード1本が極めて細い為、折曲成形加工中に変形を生じ、正確なリード加工を行なうことが困難である。従ってこの解決策を早急に見出すことが重要な課題となっている。

【0003】

【従来の技術】従来のファインピッチのQFP型の半導体装置の製造方法を図3及び図4により説明する。図3は使用するリードフレーム1であり、2はダイステージ部、3はリードで、3aはインナーリード部、3bはアウターリード部である。

【0004】製造方法は先ず図4(a)の如くリードフレーム1のダイステージ部2に半導体チップ4をダイボンディングし、該半導体チップ4の電極とインナーリード3a間をワイヤ5でワイヤボンディングする。次に図(b)の如く、半導体チップ4、ダイステージ部2、インナーリード3aを樹脂6でモールドする。次いで図(c)の如く、アウターリード3bをリードフレーム1の外周部から切り離し、成形金型を用いて図の如き形状に曲げ加工を施して完成する。

【0005】

【発明が解決しようとする課題】上記従来の半導体装置の製造方法では、リード1本1本が細いデバイスでは、アウターリードの曲げ加工時に微小なストレス等でリード変形、ねじれ等が発生し正確なリード加工ができず不良品が発生し歩留りが低下する。また試験、実装時にもリードの接触不良が生じるという問題がある。

【0006】本発明は、ファインピッチのアウターリードでも正確な曲げ加工ができる半導体装置の製造方法を実現しようとする。

【0007】

【課題を解決するための手段】本発明の半導体装置の製造方法に於いては、リードフレーム素材の金属板10にレジストを塗布し、ダイステージ11及びインナーリード12を形成する内部パターンのみ露光・現像・エッチングする工程と、前記レジストを剥離した後、アウターリード形成予定部13にレジストを塗布し、アウターリードパターン15を露光・現像する工程と、ダイステージ11に半導体チップ16を搭載し、その電極とインナーリード12間をワイヤ17でワイヤボンディングする工程と、前記半導体チップ16、ダイステージ11、インナーリード12を樹脂18にてモールドして封止する工程と、アウターリード形成予定部13を所定の形状に折曲成形する工程と、該アウターリード形成予定部13をエッチングしてアウターリード19を形成する工程とよりなることを特徴とする。

【0008】また、本発明の半導体装置の製造方法に於いては、リードフレーム素材の金属板10にレジストを塗布し、ダイステージ11及びインナーリード12を形成する内部パターンのみ露光・現像・エッチングする工程と、前記レジストを剥離する工程と、ダイステージ11に半導体チップ16を搭載し、その電極とインナーリード12間をワイヤ17でワイヤボンディングする工程と、前記半導体チップ16、ダイステージ11、インナーリード12を樹脂18にてモールドして封止する工程と、アウターリード形成予定部13にレジストを塗布

し、アウターリードパターン15を露光・現像する工程と、アウターリード形成予定部13を所定の形状に折曲成形する工程と、該アウターリード形成予定部13をエッチングしてアウターリード19を形成する工程とより成ることを特徴とする。この構成を採ることにより、アウターリードの正確な曲げ加工ができる半導体装置の製造方法が得られる。

【0009】

【作用】本発明では、ダイステージ及びインナーリードのみ形成されたリードフレームを用い、アウターリードの加工は、1本1本にパターン化される前に、一体化された状態で折曲成形するため、ストレス等の影響を防ぐことができる。折曲成形後のアウターリードのパターン化は薬品処理により行なうためストレスの発生はない。

【0010】

【実施例】図1は本発明の第1の実施例を説明するための図である。本実施例の半導体装置の製造方法は、先ず図1(a)に示すように、リードフレーム素材の金属板10にレジストを塗布し、内部パターンのみ露光・現像・エッチングしてダイステージ11及びインナーリード12を形成する。同時にアウターリード形成予定部13の外側にコ字状の窓14を設けておく。

【0011】次にレジストを剥離して除去した後、アウターリード形成予定部13に再度レジストを塗布しアウターリードパターン15を露光・現像する。次いで同図(b)に示すように、ダイステージ11に半導体チップ16を搭載し、その電極とインナーリード12との間をワイヤ17でワイヤボンディングする。次いで該半導体チップ16、ダイステージ11及びインナーリード12を同図(c)の如く樹脂18でモールドして封止する。

【0012】次いで、樹脂封止部分及びアウターリード形成予定部13をリードフレーム素材の金属板10から切り離し、同図(d)に示すようにアウターリード形成予定部13を所定の形状に折曲成形する。最後にアウターリード形成予定部13をエッチングしてアウターリードレジストパターン以外の部分を溶解除去して同図(d)の如く所定の形状のアウターリード19を形成し、Snめっき等を施して完成する。

【0013】以上の本実施例によれば、アウターリード19の折曲成形は複数本のリードを一体として行なうため、1本1本のリードが変形することはない。また1本1本に分離するのはエッチングにより不要部を溶解除去するのでストレスは生ぜず、従って変形もない。これによりアウターリードの正確な曲げ加工ができる。

【0014】図2は本発明の第2の実施例を説明するための図である。本実施例は、先ず図2(a)に示すように、リードフレーム素材の金属板10にレジストを塗布し、内部パターンのみ露光・現像・エッチングしてダイステージ11及びインナーリード12を形成する。同時

にアウターリード形成予定部13の外側にコ字状の窓14を設けておく。

【0015】次いでレジストを剥離して除去した後、同図(b)の如く、ダイステージ11に半導体チップ16を搭載し、その電極とインナーリード12間をワイヤ17でワイヤボンディングする。次いで該半導体チップ16、ダイステージ11及びインナーリード12を同図(c)の如く樹脂18でモールドして封止する。その後アウターリード形成予定部13にレジストを塗布し、アウターリードパターン15を露光・現像する。

【0016】次いで同図(d)の如く樹脂封止部分及びアウターリード形成予定部13をリードフレーム素材の金属板10から切り離し、アウターリード形成予定部13を所定の形状に折曲成形する。最後にエッチングしてアウターリードレジストパターン以外の部分を溶解除去して同図(e)の如く所定の形状のアウターリード19を形成し、Snめっき等を施して完成する。

【0017】以上の本実施例によれば、アウターリード19の折曲成形工程は前実施例と全く同様であるので、その効果も同様である。

【0018】

【発明の効果】本発明に依れば、ダイステージ及びインナーリードのみ形成されたリードフレームを用い、アウターリードの加工は1本1本にパターン化される前に、一体化された状態で折曲成形するためストレス等の影響を防ぎ、且つ折曲成形後のアウターリードのパターン化は薬品処理により行なうためストレスの発生はなく、従って変形、ねじれ等の発生は防止され、歩留りが向上される。また、試験、実装等においてリードの接触不良等も防止される。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための図である。

【図2】本発明の第2の実施例を説明するための図である。

【図3】従来のリードフレームを示す図である。

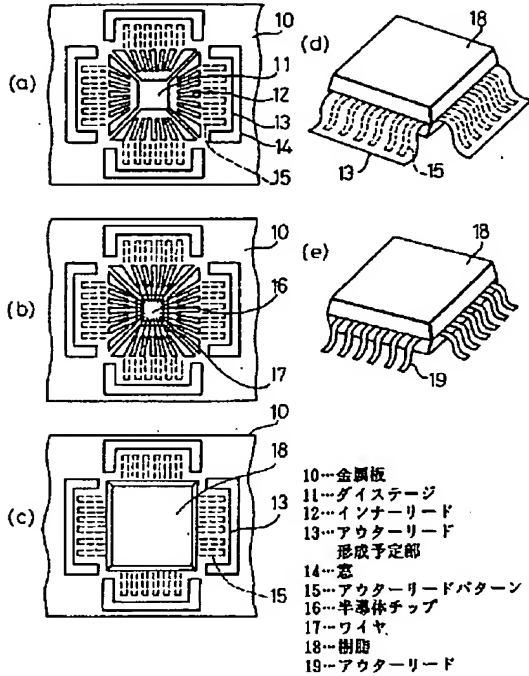
【図4】従来の半導体装置の製造方法を説明するための図である。

【符号の説明】

- 10…金属板
- 11…ダイステージ
- 12…インナーリード
- 13…アウターリード形成予定部
- 14…窓
- 15…アウターリードパターン
- 16…半導体チップ
- 17…ワイヤ
- 18…樹脂
- 19…アウターリード

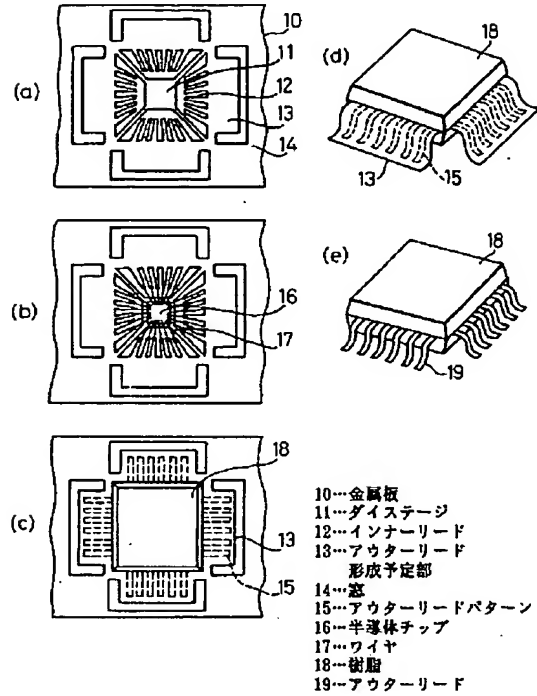
【図1】

本発明の第1の実施例を説明するための図



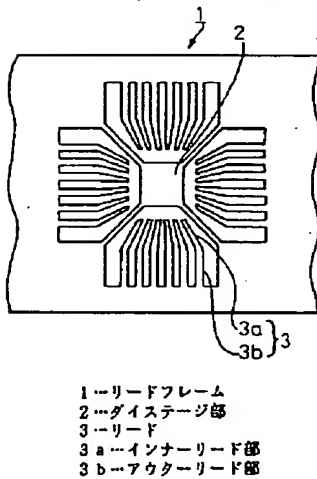
【図2】

本発明の第2の実施例を説明するための図



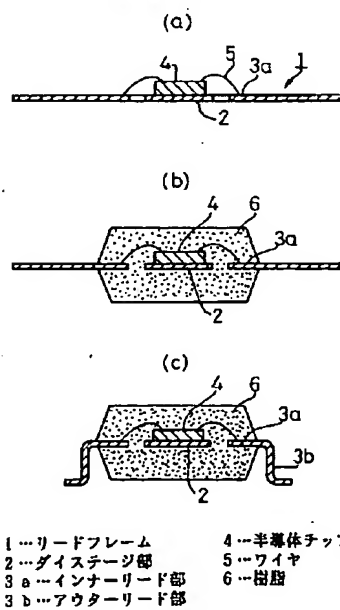
【図3】

従来のリードフレームを示す図



【図4】

従来の半導体装置の製造方法を説明するための図



フロントページの続き

(72)発明者 ▲高▼橋 文仁

宮城県柴田郡村田町大字村田字西ケ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内

(72)発明者 小林 均

宮城県柴田郡村田町大字村田字西ケ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内

(72)発明者 奥山 重徳

宮城県柴田郡村田町大字村田字西ケ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内